

Beschreibung

Speichermodul mit einer Mehrzahl von integrierten Speicherbauelementen

5

Die vorliegende Erfindung betrifft ein Speichermodul mit einem Trägersubstrat und einer Mehrzahl von integrierten Speicherbauelementen, die auf dem Trägersubstrat angeordnet sind.

- 10 Zur Anwendung beispielsweise in Computersystemen ist es bekannt, zur Bildung eines Speichermoduls eine Mehrzahl von Speicherbauelementen etwa in Form von sogenannten DRAMs (Dynamic Random Access Memories) auf einem gemeinsamen Trägersubstrat anzuordnen. Derartige Speichermodule sind insbesondere als sogenannte DIMM (Registered bzw. Buffered Dual Inline Memory Module) bekannt. Diese sind typischerweise mit 16 oder 18 Speicherbausteinen bestückt, die bei Ausführung als sogenannte SDRAMs oder DDR DRAMs taktgesteuert sind.
- 15
- 20 Integrierte Speicher wie DRAMs werden in Datenverarbeitungssystemen betrieben und dabei beispielsweise von einem Mikroprozessor oder Mikrocontroller angesteuert. Ab einer gewissen Größe des Speichers, beispielsweise bei einer Speichergröße über 1 MBit, benutzen in der Regel alle verfügbaren DRAM-
- 25 Speicher ein sogenanntes Multiplex-Adressschema. Dieses dient vor allem dem Zweck, die Anzahl der Adressanschlüsse eines Speichers zu reduzieren und damit die Kosten für die einzelnen Komponenten im Datenverarbeitungssystem und die Leistungsaufnahme der entsprechenden Adressbus-Systeme.
- 30 Ein solches Multiplex-Adressschema hat den Vorteil, daß es sehr gut zur Funktionalität eines DRAM-Speichers paßt. Für einen Speicherzugriff werden im allgemeinen zuerst adressierte Reihen in Form von ausgewählten Wortleitungen und anschließend adressierte Spalten in Form von ausgewählten Bitleitungen aktiviert. Es werden bei diesem Adressschema also zuerst Reihenadressen und zeitlich nachfolgend entsprechende
- 35

Spaltenadressen übertragen. Damit wird ausgewählt, aus welchen Speicherzellen Daten ausgelesen bzw. in welche Speicherzellen Daten eingeschrieben werden. Ebenso werden von einem Mikrocontroller mit der Adressgenerierung mehrere einzelne Befehle abgesetzt, insbesondere in Form eines Aktivierungssignals, eines Lesebefehls oder Schreibbefehls und, zum Abschluß des Speicherzugriffs, ein Vorladebefehl.

Damit in einem Datenverarbeitungssystem, etwa einem Computersystem, ein Prozessor-Interface eines Mikroprozessors und ein DRAM-Interface miteinander kommunizieren können, ist es im allgemeinen notwendig, einen Speicher-Controller (DRAM-Controller) in dem Computersystem zu implementieren, um den DRAM-spezifischen Speicherzugriff aus den Befehlen des Mikroprozessors umzusetzen. Hierbei obliegt dem Speichercontroller insbesondere die Abbildung einer logischen Prozessor-Adresse auf den angesprochenen DRAM-Speicher sowie die Generierung der Reihenadressen und Spaltenadressen zum Zugriff auf diesen Speicher. Zur Realisierung dieser Funktionalität müssen im Speichercontroller hierfür geeignete Register und Schaltwerke (Zustandsautomaten) vorgesehen werden, um dieses zeitliche Multiplex-Adressschema zu realisieren. Durch das Vorsehen solcher Register und Schaltwerke wird die Design-Komplexität eines Speicher-Controllers erhöht.

Der vorliegenden Erfindung liegt die Aufgabe zugrunde, ein Speichermodul der eingangs genannten Art anzugeben, das es ermöglicht, bei Einsatz in einem Datenverarbeitungssystem die Design-Komplexität eines im Datenverarbeitungssystem vorzuhenden Speicher-Controllers zu verringern.

Diese Aufgabe wird erfindungsgemäß durch ein Speichermodul gemäß Patentanspruch 1 gelöst.

Das erfindungsgemäße Speichermodul umfaßt ein Trägersubstrat mit Anschlüssen zur Zuführung von Adress- und Befehlssignalen und eine Mehrzahl von integrierten Speicherbauelementen, die

auf dem Trägersubstrat angeordnet sind. Weiterhin ist eine separat von den Speicherbauelementen auf dem Trägersubstrat angeordnete Zugriffssteuerschaltung vorgesehen, die eingangs-
5 seitig mit den Anschlüssen zur Zuführung der Adreß- und Be- fehlssignale und ausgangsseitig mit der Mehrzahl der integ- rierten Speicherbauelemente verbunden ist. Die Zugriffssteuer- erschaltung ist derart ausgebildet, daß sie bei Zuführung ei- nes außerhalb des Speichermoduls erzeugten Adreßsignals eine Adresse für den Speicherzugriff auf ein für den Zugriff aus-
10 gewähltes Speicherbauelement empfängt. Aus der empfangenen Adresse generiert sie jeweils wenigstens eine Spaltenadresse und Reihenadresse zum Zugriff auf eine Bitleitung und Wort- leitung des ausgewählten Speicherbauelements und überträgt die Spaltenadresse und Reihenadresse an das selbige.

15 Damit ist auf dem erfindungsgemäßen Speichermodul eine Zugriffssteuerschaltung vorhanden, welche die Verwirklichung des Multiplex-Adreßschemas zum Zugriff auf einen Speicher des Speichermoduls für einen Speichercontroller übernimmt und
20 diesen somit von dieser Aufgabe entlastet. Damit ist es nicht mehr notwendig, im Speichercontroller entsprechende Register und Schaltwerke zur Realisierung des Multiplex-Adreßschemas vorzusehen, so daß die Design-Komplexität des Speichercon- trollers entsprechend verringert werden kann.

25 In einer Weiterbildung der Erfindung ist die Zugriffssteuer- schaltung weiterhin derart ausgebildet, daß sie bei Zuführung eines außerhalb des Speichermoduls erzeugten Zugriffsbefehls, der einen Beginn eines Speicherzugriffs anzeigt, diesen emp- fängt und daraus eine Zugriffs-Signalsequenz zur Übertragung an das ausgewählte Speicherbauelement generiert. Die Zugriffs-Signalsequenz umfaßt wenigstens ein Aktivierungssig- nal und ein nachfolgendes Lese- oder Schreibsignal. Damit ist es ermöglicht, daß das Speichermodul lediglich einen
30 Zugriffsbefehl beispielsweise vom Speichercontroller emp- fängt, woraufhin Speichermodul-intern von der Zugriffssteuer- schaltung ein Aktivierungssignal, gefolgt von einem Lesebe-

fehl oder Schreibbefehl generiert werden. Dadurch ist es ermöglicht, daß zwischen dem Speichermodul und einem angeschlossenen Speichercontroller für einen Speicherzugriff nur ein Zugriffsbefehl übertragen werden muß. Dadurch wird vor-
5 teilhaft die effektive Bandbreite eines Kommandobusses zwischen Speichermodul und Speichercontroller verdoppelt.

In einer vorteilhaften Ausführungsform des erfindungsgemäßen Speichermoduls ist die Zugriffssteuerschaltung innerhalb eines separaten Halbleiterbausteins auf dem Trägersubstrat angeordnet. In einer weiteren vorteilhaften Ausführungsform ist das Speichermodul als DIMM-Modulanordnung ausgeführt, die Speicherbauelemente sind insbesondere als dynamische Schreib-Lese-Speicher ausgeführt.
10

15 Weitere vorteilhafte Aus- und Weiterbildungen der Erfindung sind in Unteransprüchen angegeben.

Die Erfindung wird im folgenden anhand der in der Zeichnung
20 dargestellten Figuren näher erläutert.

Es zeigen:

Figur 1 eine Ausführungsform eines Speichermoduls gemäß
25 der Erfindung,

Figur 2 eine Ausführungsform eines Computersystems mit
einem Speichercontroller und mehreren Speichermodulen gemäß der Erfindung.

30 In Figur 1 ist grobschematisch eine Ausführungsform eines Speichermoduls gemäß der Erfindung dargestellt. Im vorliegenden Ausführungsfall handelt es sich um eine DIMM-Modulanordnung, bei der auf einem Trägersubstrat 50 eine Mehrzahl von integrierten Speicherbauelementen, hier in Form von DRAM-Speichern 10 bis 18 und 20 bis 28, angeordnet ist.
35 Separat von den Speicherbauelementen 10 bis 18 und 20 bis 28

- ist eine Zugriffssteuerschaltung 30 auf dem Trägersubstrat 50 angeordnet, die mit einem Kommando- und Adressbus CA sowie mit einer Taktsignalleitung CK verbunden ist. Der eingangsseitige Anschluß der Zugriffssteuerschaltung 30 ist mit der Kontaktleiste 40 des Speichermoduls 1 verbunden, die Anschlüsse zur Eingabe und Ausgabe von Datensignalen DA, zur Eingabe eines Taktsignals CLK und Anschlüsse zur Eingabe von Adresssignalen ADR und Befehlssignalen CMD aufweist. Die Zugriffssteuerschaltung 30 ist eingangsseitig mit den jeweiligen Anschlüssen der Kontaktleiste 40 zur Zuführung der Adresssignale ADR und Befehlssignale CMD verbunden. Die Zugriffssteuerschaltung 30 ist ausgangsseitig mit einem Kommando- und Adressbus CA1 für das erste sogenannte Speicher-Rank mit den Speichern 10 bis 18 verbunden, sowie mit einem Kommando- und Adressbus CA2 für das zweite Speicher-Rank mit den Speichern 20 bis 28.
- Weiterhin ist die Zugriffssteuerschaltung 30 ausgangsseitig mit der Taktsignalleitung CK1 zur Ansteuerung der Speicher 10 bis 18 des ersten Speicher-Ranks und mit der Taktsignalleitung CK2 zur Ansteuerung des zweiten Speicher-Ranks mit den Speichern 20 bis 28 verbunden. Zum Austausch von Daten weisen die Speicher 10 bis 18 und 20 bis 28 jeweilige Datenanschlüsse DQ10 bis DQ18 bzw. DQ20 bis DQ28 auf, die mit den Datenanschlüssen DQ des Speichermoduls 1 verbindbar sind.
- Wie beispielhaft anhand des Speichers 10 näher dargestellt, weisen die einzelnen Speicherbauelemente Speicherzellenfelder mit Wortleitungen WL zur Auswahl von Speicherzellen MC und Bitleitungen BL zum Auslesen oder Schreiben von Datensignalen der Speicherzellen MC auf. Die Speicherzellen MC sind in bekannter Weise in Kreuzungspunkten der Wortleitungen WL und Bitleitungen BL angeordnet und jeweils mit einer der Wortleitungen und einer der Bitleitungen verbunden. Die Speicherzellen MC weisen jeweils einen nicht dargestellten Auswahltransistor und Speicherkondensator auf, wobei der Steuereingang der Transistoren mit einer Wortleitung WL verbunden ist, durch die angeschlossene Speicherzellen MC bei einem Speicherzugriff aktiviert werden.

- Die Zugriffssteuerschaltung 30 ist derart ausgebildet, daß sie bei Zuführung eines außerhalb des Speichermoduls 1 erzeugten Adresssignals ADR eine Adresse für einen Speicherzugriff auf ein ausgewähltes Speicherbauelement empfängt. Sie generiert aus der empfangenen Adresse ADR jeweils wenigstens eine Spaltenadresse CADR zum Zugriff auf eine Bitleitung BL und Reihenadresse RADR zum Zugriff auf eine Wortleitung WL des ausgewählten Speicherbauelements, wobei die Spaltenadresse CADR und Reihenadresse RADR zum ausgewählten Speicherbauelement über den Kommando- und Adressbus CA1, CA2 übertragen werden. Weiterhin empfängt die Zugriffssteuerschaltung 30 einen außerhalb des Speichermoduls 1 erzeugten Zugriffsbefehl R/W (siehe hierzu auch Figur 2). Dieser Zugriffsbefehl zeigt einen Beginn eines Speicherzugriffs an. Nach Empfang dieses Zugriffsbefehls generiert die Zugriffssteuerschaltung 30 daraus eine Zugriffs-Signalsequenz mit einem Aktivierungssignal ACT und, je nach dem ob es sich um einen Lese- oder Schreibzugriff handelt, einen nachfolgenden Lese- oder Schreibbefehl RD bzw. WR zur Übertragung an das ausgewählte Speicherbauelement. Damit ist für einen Lese- oder Schreibzugriff nur noch ein Befehl R/W erforderlich, so daß die effektive Bandbreite des Kommando- und Adressbusses CA verdoppelt wird.
- Dem Multiplex-Adressschema für einen DRAM-Speicher folgend wird die Spaltenadresse CADR und Reihenadresse RADR zum Zugriff auf eine Bitleitung und Wortleitung eines ausgewählten Speicherbauelements von der Zugriffssteuerschaltung 30 zeitlich nacheinander zur Übertragung an das ausgewählte Speicherbauelement generiert. Insbesondere werden die Spaltenadresse CADR und Reihenadresse RADR um eine RAS-CAS-Delay-Zeit tRCD versetzt generiert, die durch den Typ des ausgewählten Speicherbauelements definiert ist.
- In Figur 2 ist eine Ausführungsform eines beispielhaften Computersystems mit einem Speichercontroller 4 und mehreren Speichermodulen 1 und 2, die gemäß der Erfindung aufgebaut

sind, schematisch dargestellt. Der Speichercontroller 4 ist mit einem Übertragungsbustyp 5 verbunden, wobei beide sich auf einem sogenannten Motherboard 3 des Computersystems befinden. Die DIMM-Module 1 und 2 sind über Steckverbinder mit dem Übertragungsbustyp 5 verbunden. Auf dem Übertragungsbustyp 5 werden das Takt signal CLK, Adresssignale ADR, Befehlssignale CMD, Daten signale DA und der zuvor erwähnte Zugriffsbefehl R/W zu den DIMM-Modulen 1 und 2 übertragen.

- 5
- 10 Vom Speichercontroller 4 zu den Modulen 1 und 2 werden für einen Speicherzugriff nur noch der Zugriffsbefehl R/W, das heißt entweder ein Lese- oder Schreibbefehl, zusammen mit der vollen Adresse ADR (n Bits) übertragen. Von der jeweiligen Zugriffssteuerschaltung 30 auf den Modulen 1, 2 wird das
- 15 DRAM-spezifische Adress-Multiplexing übernommen. Das bedeutet, es wird eine Reihenadresse RADR (r Bits) zusammen mit einem Aktivierungssignal ACT und nachfolgend eine Spaltenadresse CADR (c Bits) zusammen mit einem Lese- oder Schreib-Befehl RD, WR generiert und an das ausgewählte Speicherbauelement
- 20 übertragen. Hierbei ist $n = r + c$, wobei im allgemeinen $r > n/2 > c$. Mit der dadurch einhergehenden Entlastung des Speichercontrollers 4 ist es ermöglicht, dessen Design-Komplexität zu verringern. Durch die Zugriffssteuerschaltung 30 ist außerdem vorteilhaft eine Entkopplung zwischen dem Übertragungsbustyp 5 des Motherboards 3 und den modulinternen Kommunikationsbussen ermöglicht. Dadurch ist es beispielsweise ermöglicht, den Übertragungsbustyp 5 zwischen Speichercontroller und DIMM-Modulen mit einer höheren Datenrate zu betreiben als die Modul-internen Kommunikationsbusse.
- 25

Patentansprüche

1. Speichermodul (1), umfassend:

- ein Trägersubstrat (50) mit Anschläßen (40) zur Zuführung

5 von Adreß- und Befehlssignalen (ADR, CMD),

- eine Mehrzahl von integrierten Speicherbauelementen (10 bis 18, 20 bis 28), die auf dem Trägersubstrat angeordnet sind,

- eine separat von den Speicherbauelementen auf dem Träger- substrat angeordnete Zugriffssteuerschaltung (30), die ein-

10 gangsseitig mit den Anschläßen (40) zur Zuführung der Adreß- und Befehlssignale verbunden ist, und die ausgangsseitig mit der Mehrzahl der integrierten Speicherbauelemente (10 bis 18, 20 bis 28) verbunden ist,

- wobei die Zugriffssteuerschaltung (30) derart ausgebildet

15 ist, daß sie bei Zuführung eines außerhalb des Speichermoduls erzeugten Adreßsignals (ADR) eine Adresse für einen Speicherzugriff auf ein für den Zugriff ausgewähltes Speicherbauelement empfängt, aus der empfangenen Adresse jeweils wenigstens eine Spaltenadresse (CADR) und eine Reihenadresse (RADR) zum 20 Zugriff auf eine Bitleitung (BL) und eine Wortleitung (WL) des ausgewählten Speicherbauelements generiert und an das ausgewählte Speicherbauelement überträgt.

2. Speichermodul nach Anspruch 1,

25 dadurch gekennzeichnet, daß

die Zugriffssteuerschaltung (30) weiterhin derart ausgebildet ist, daß sie bei Zuführung eines außerhalb des Speichermoduls (1) erzeugten Zugriffsbefehls (R/W), der einen Beginn eines Speicherzugriffs anzeigt, diesen empfängt und daraus eine

30 Zugriffs-Signalsequenz mit wenigstens einem Aktivierungssignal (ACT) und einem nachfolgenden Lese- oder Schreibsignal (RD, WR) zur Übertragung an das ausgewählte Speicherbauelement generiert.

35 3. Speichermodul nach Anspruch 1 oder 2,

dadurch gekennzeichnet, daß

die Spaltenadresse (CADR) und Reihenadresse (RADR) zum Zugriff auf eine Bitleitung (BL) und Wortleitung (WL) von der Zugriffssteuerschaltung (30) zeitlich nacheinander zur Übertragung an das ausgewählte Speicherbauelement generiert werden.

5

4. Speichermodul nach Anspruch 3,

d a d u r c h g e k e n n z e i c h n e t, daß die Spaltenadresse (CADR) und Reihenadresse (RADR) zum

10 Zugriff auf eine Bitleitung (BL) und Wortleitung (WL) von der Zugriffssteuerschaltung (30) um eine RAS-CAS-Delay-Zeit versetzt generiert werden, wobei diese durch das ausgewählte Speicherbauelement definiert ist.

15 5. Speichermodul nach einem der Ansprüche 1 bis 4,

d a d u r c h g e k e n n z e i c h n e t, daß die Zugriffssteuerschaltung (30) innerhalb eines separaten Halbleiterbausteins angeordnet ist.

20 6. Speichermodul nach einem der Ansprüche 1 bis 5,

d a d u r c h g e k e n n z e i c h n e t, daß der eingangsseitige Anschluß der Zugriffssteuerschaltung (30) mit einer Kontaktleiste (40) des Speichermoduls (1) verbunden ist.

25

7. Speichermodul nach einem der Ansprüche 1 bis 6,

d a d u r c h g e k e n n z e i c h n e t, daß

das Speichermodul (1) als DIMM-Modulanordnung ausgeführt ist.

30 8. Speichermodul nach einem der Ansprüche 1 bis 7,

d a d u r c h g e k e n n z e i c h n e t, daß

die Speicherbauelemente (10 bis 18, 20 bis 28) des Speichermoduls (1) dynamische Schreib-Lese-Speicher sind.

Auslandsfassung

10

Zusammenfassung

Speichermodul mit einer Mehrzahl von integrierten Speicherbauelementen

5 Ein Speichermodul (1) umfaßt eine Mehrzahl von integrierten Speicherbauelementen (10 bis 18, 20 bis 28), die auf einem Trägersubstrat angeordnet sind. Eine separat von den Speicherbauelementen auf dem Trägersubstrat angeordnete Zugriffssteuerschaltung (30) ist eingangsseitig mit Anschlüssen (40) 10 zur Zuführung von Adreß- und Befehlssignalen verbunden und ausgangsseitig mit der Mehrzahl der integrierten Speicherbau-elemente (10 bis 18, 20 bis 28). Die Zugriffssteuerschaltung (30) ist derart ausgebildet, daß sie bei Zuführung eines 15 Adreßsignals (ADR) eine Adresse für einen Speicherzugriff auf ein ausgewähltes Speicherbauelement empfängt, aus der empfan-genen Adresse jeweils wenigstens eine Spaltenadresse (CADR) und Reihenadresse (RADR) zum Zugriff auf eine Bitleitung (BL) und Wortleitung (WL) des ausgewählten Speicherbauelements ge-20 neriert und an das selbige überträgt. Dadurch ist es ermög-licht, die Design-Komplexität eines in einem Datenverarbei-tungssystem vorzusehenden Speicher-Controllers zu verringern.

25 Figur 1

Bezugszeichenliste

1, 2	Speichermodul
3	Motherboard
5 4	Speichercontroller
5	Übertragungsbus
10 - 18	Speicherbauelement
20 - 28	Speicherbauelement
30	Zugriffssteuerschaltung
10 40	Kontakteiste
50	Trägersubstrat
CLK	Taktsignal
ADR	Adreßsignal
CMD	Befehlssignal
15 DA	Datensignal
CK, CK1, CK2	Taktsignalleitung
CA, CA1, CA2	Kommando- und Adreßbus
DQ10 - DQ18	Datenanschluß
DQ20 - DQ28	Datenanschluß
20 DQ	Datenanschlüsse
RADR	Reihenadresse
CADR	Spaltenadresse
ACT	Aktivierungssignal
RD	Lesebefehl
25 WR	Schreibbefehl
MC	Speicherzellen
WL	Wortleitungen
BL	Bitleitungen